

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08316470 A**(43) Date of publication of application: **29.11.96**

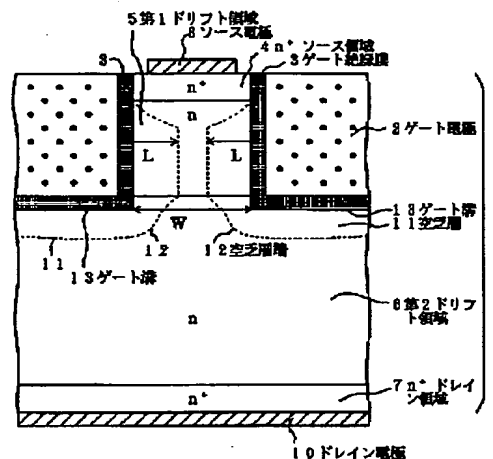
(51) Int. Cl.

H01L 29/78(21) Application number: **07123309**(71) Applicant: **FUJI ELECTRIC CO LTD**(22) Date of filing: **23.05.95**(72) Inventor: **UENO KATSUNORI****(54) POWER SEMICONDUCTOR DEVICE****(57) Abstract:**

PURPOSE: To provide a power semiconductor device, which maintains a withstand voltage higher than a static withstand voltage for a long time, by a method wherein a semiconductor material having a band gap of 1.5eV or larger, such as a silicon carbide, is used for a semiconductor substrate in a structure, wherein a P-N junction is not included in the whole region of the substrate.

CONSTITUTION: A gate groove 13 is formed in a surface layer in the first main surface of an n-type semiconductor substrate 1, a gate electrode 2 is formed on the surface of this groove 13 via a gate insulating film 3, an n⁺ source region 4 is formed in the surface layer, which is surrounded with this groove 13, in the substrate 1 and a source electrode 8 is formed on the region 4. A semiconductor material having a band gap of 1.5eV or larger, such as silicon carbide, is used for this substrate 1.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-316470

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl.⁴

H 0 1 L 29/78

識別記号

弁内整理番号

9055-4M

9055-4M

F I

H 0 1 L 29/78

技術表示箇所

6 5 3 A

6 5 2 T

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号

特願平7-123309

(22) 出願日

平成7年(1995)5月23日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 上野 勝典

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

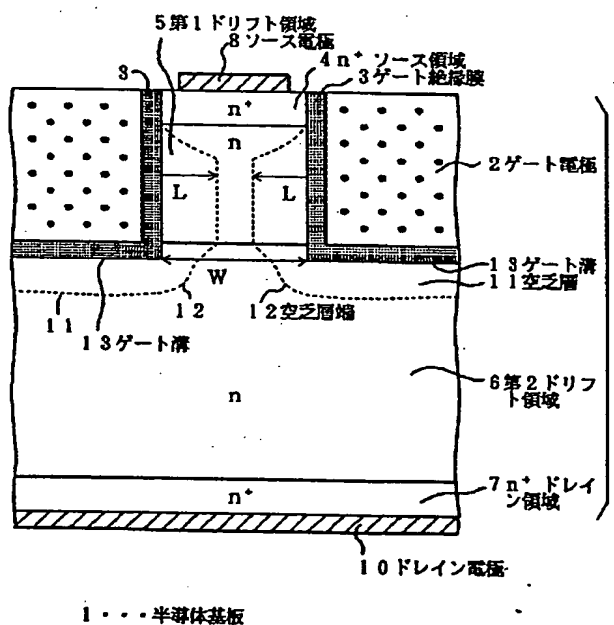
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 電力用半導体素子

(57) 【要約】

【目的】全領域で $p-n$ 接合を含まない構造で、半導体基板にバンドギャップが1.5 eV以上の炭化ケイ素などの半導体材料を用いることで、静的耐圧より高い耐圧を長時間維持する電力用半導体素子を得る。

【構成】 n 形の半導体基板1の第1主面の表面層にゲート溝13が形成され、このゲート溝13の表面上にゲート絶縁膜3を介してゲート電極2が形成され、このゲート溝13に囲まれた半導体基板1の表面層に n^+ ソース領域4が形成され、ソース領域4上にソース電極8が形成される。この半導体基板1に炭化ケイ素などのバンドギャップが1.5 eV以上の半導体材料を使用する。



【特許請求の範囲】

【請求項1】半導体基板の第一主面の表面層に選択的に溝が形成され、該溝で囲まれた第一主面上にソース電極が形成され、該溝の表面上に絶縁膜を介してゲート電極が形成され、第二主面上にドレイン電極が形成されるトレンチ構造のMOSFETを構成し、前記半導体基板が1.5 eV以上のバンドギャップを有する半導体であることを特徴とする電力用半導体素子。

【請求項2】半導体基板の材料が炭化ケイ素であることを特徴とする請求項1記載の電力用半導体素子。

【請求項3】溝で囲まれた第一主面の表面層と、第二主面の表面層とに半導体基板と同一導電形の高濃度のソース領域と、ドレイン領域とがそれぞれ形成され、ソース領域上にソース電極と、ドレイン領域上にドレイン電極とがそれぞれ形成されることを特徴とする請求項1記載の電力用半導体素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、炭化ケイ素等のバンドギャップの大きい半導体材料で製作した高耐圧、大電流を制御する電力用半導体素子に関する。

【0002】

【従来の技術】電力用半導体素子は、現在半導体材料としてシリコンが最も多く使用され、また用途に応じて様々な構造が適用されている。その一つに、Tsengyau Sya u et al IEEE TRANSACTION ON ELECTRON DEVICES, VOL. 41, NO. 5, MAY (1994) pp. 800~808 や特開平2-15677で開示されている構造があり、その構造について以下に説明する。

【0003】図4は従来素子の断面構造図を示す。n形の半導体基板1の一方の主面（第1主面）の表面層にゲート溝13が形成され、このゲート溝13の表面上にゲート絶縁膜3を介してゲート電極2が形成される。このゲート溝13に囲まれた半導体基板1の表面層にn⁺ソース領域4が形成される。半導体基板1でゲート溝13に囲まれた領域は第1ドリフト領域5となり、その下の領域は第2ドリフト領域6となる。半導体基板1の他方の主面（第2主面）の表面層にn⁺ドレイン領域7が形成され、n⁺ドレイン領域7上にドレイン電極10が形成される。第1ドリフト領域5の幅Wが極めて狭いため、n⁺ソース電極8は各セル（単位素子）に設けられず、セルを構成していない半導体基板1上に設ける。その場合、同図の右側にあるように、半導体基板1のn層から電気的に分離するために、p領域21を形成しその表面層にn⁺ソース領域4を形成し、その表面にソース電極8を形成する。

【0004】つぎにこの素子の動作を説明する。ゲート電極2に正、ソース電極8に負のゲート電圧を印加すると、第1ドリフト領域5に空乏層11が拡がり、その空乏層端12が接すると、つまり空乏層11が閉じた段階

2

でn⁺ソース領域4からn⁺ドレイン領域7へ流れる電子電流路が絶れる。従って、ソース電極8に負、ドレイン電極10に正の電圧を印加すると、空乏層11が閉じるまではドレイン電流が流れ、空乏層11が閉じた段階でドレイン電流は遮断する。

【0005】

【発明が解決しようとする課題】前記の構造においては、ソース電極8下のp領域21から少数キャリアである正孔が瞬時にn形の第一ドリフト領域5に第2ドリフト領域6を介して注入されるので、ゲート電圧を印加した直後から空乏層端12は、静的状態つまり反転層が正孔によって形成された状態と、同一の伸びとなり、そのためゲート電圧を印加した直後に空乏層端12を、静的状態より一時的に拡げて、静的耐圧より高い耐圧を保持させることはできない。

【0006】この発明は、前記課題を解決するために、pn接合を含まない構造にして、さらに半導体基板にバンドギャップの大きい半導体材料を使用することによって、静的耐圧より高い耐圧を確保し、かつこの耐圧を保持する時間を増大させることができる電力用半導体素子を提供することを目的とする。

【0007】

【課題を解決するための手段】前記目的を達成するために、半導体基板の第一主面の表面層に選択的に溝を形成し、該溝で囲まれた第一主面上にソース電極を形成し、該溝の表面上に絶縁膜を介してゲート電極を形成し、第二主面上にドレイン電極を形成して、トレンチ構造のMOSFETを構成し、前記半導体基板に1.5 eV以上のバンドギャップを有する半導体材料を使用する。この半導体基板の材料が炭化ケイ素であるとよい。また溝で囲まれた第一主面の表面層と、第二主面の表面層とに半導体基板と同一導電形の高濃度のソース領域と、ドレイン領域とをそれぞれ形成し、ソース領域上にソース電極と、ドレイン領域上にドレイン電極とをそれぞれ形成する。

【0008】

【作用】絶縁膜直下の半導体中の空乏層の拡がりとは2種類の条件で異なる。一つは熱平衡状態で、絶縁膜と半導体の界面に少数キャリアである正孔が蓄積し、反転層（inversion）が形成される静的な状態と、もう一つは深層空乏層（deep-depletion：少数キャリアである正孔による反転層が形成されない状態での空乏層のことをいう）とよばれる現象で、急激にゲートに電圧を印加したとき、正孔の蓄積がそれに対応できず空乏層が反転層より一時的に拡がる過渡的な状態がある。しかし正孔の熱的発生やp領域からの注入により、通常極めて短時間で空乏層は反転層の幅になる。

【0009】図3は空乏層の拡がり計算した図である。ここではゲート絶縁膜は酸化膜（SiO₂）とし、厚さは0.1 μmである。この図から深層空乏層（de

ep-depletion)の空乏層端12の拡がり
は、正孔が蓄積した状態の空乏層端12の拡がり(図で
inversion limit: 限界反転層)より、
数倍以上になることが分かる。このことから、pn接合
のある従来構造より、第1ドリフト領域の幅を広くして
も、耐圧を保持でき、従って各セルごとにソース電極を
形成でき、pn接合を含まない構造にすることができ
る。また同図でWは深層空乏層(deep depletion)
の幅、Wmは限界反転層(inversion limit)の幅を示し、
所謂空乏層の伸びを示す。

【0010】またシリコンで製作したpn接合を含まない
構造の素子では、耐圧を保持する状態つまり前記の過
渡的状态は、数10秒に亘って保持することができる
が、従来技術で述べたTsengyou Syau等が開示した構
造、つまりpn接合を含む構造ではこの過渡的状态がな
く、耐圧を保持できない。その理由は前記した通りで、
ソース電極を設けるn⁺ソース領域4を半導体基板1の
n層から電気的に分離するためのp領域21から正孔が
第2ドリフト領域6を介して第1ドリフト領域5に注入
され、ゲート電圧の印加と同時に反転層が形成され、空
乏層が第1ドリフト領域5を閉じることができなくな
り、耐圧が保持できない。

【0011】ところで、耐圧保持時間は、空乏層中で発
生する少数キャリアである正孔で決まり、その発生率は
真性キャリア濃度n_iとライフタイムによって決まる。
ライフタイムは結晶性などによって決まる2次的なもの
であるが、n_iは半導体に固有の物理量であるために、
半導体材料を決めると次式で決まる。

【0012】

【数1】

$$n_i = \sqrt{N_c N_v} \exp \left(- \frac{E_g}{2kT} \right)$$

ここで、N_c、N_vは伝導帯および価電子帯の状態密度、
E_g、k、Tはバンドギャップ、ボルツマン定数および
絶対温度である。耐圧を長時間保持させるためには、n_i
を小さくする必要があり、従って、上式から大きなバ
ンドギャップの半導体材料を使用する必要がある。この
半導体材料として、GaAs(ガリウムヒ素)やSiC
(炭化ケイ素)がある。

【0013】

【実施例】図1はこの発明の一実施例の素子の要部断面
構造を示す。ソース電極8は各セルのn⁺ソース領域4
上に設けられているため、従来構造のようにp領域21
(図4参照)の形成は不要であり全領域でpn接合を含
まないトレンチ構造のMOSFETである。図4とソー
ス電極8部以外は同一構造であり、また符号も同一のた
め、本構造の説明は省略する。同図において、第1ドリ

フト領域5の幅Wを両側からの空乏層端12の伸びLが
凌駕することで耐圧を確保することができる。半導体基
板1にシリコン(Si)を使用してこの素子を製作した
場合、pn接合を含む従来構造ではデバイスシミュレー
ションの結果せいぜい20V以下しか静的耐圧を確保で
きないものが、pn接合を含まない本発明の構造では第
1ドリフト領域5の幅Wを従来構造より拡げても、40
V以上の電圧を、数10秒間保持できた。このように、
pn接合を含まない構造にすることで、第1ドリフト領
域5の幅Wを従来構造より拡げることができ、そのため
各セルのn⁺ソース領域4上にソース電極8を設けるこ
とができる。

【0014】図2はバンドギャップと耐圧保持時間の関
係図を示す。同図において、耐圧保持時間を実用レベル
の数10時間以上にするためには、バンドギャップは
1.5eV以上が必要であり、ガリウムヒ素(GaAs)
は比較的その値に近い。また炭化ケイ素(SiC)
はバンドギャップが3eV近くもあり、殆ど無限の保持
時間となり極めて有用な素材である。ここでバンドギャ
ップとは、電子エネルギーで表したときの価電子帯と伝
導帯の間のエネルギーギャップをいう。

【0015】またSiCはバンドギャップが大きく、化
学的にも安定な材料であるため、シリコンと比較すると
高温や放射線下でも使用可能な各種の半導体素子が期待
されて、研究されている。またSiCは現在のところ、
p形の不純物としてアルミニウム(Al)やホウ素
(B)があるが、その不純物準位は0.2~0.3eV
と深く、そのために室温での活性化率(価電子帯に正孔
を与える確立)は低く、pn接合を形成したとしても、
正孔の注入は極めて低く、耐圧保持時間は長くできる。
さらに、図1の構造ではp領域は形成されないため、よ
り一層耐圧保持時間を長くできる。以上の点から、半導
体基板1として、SiCは最適の半導体材料である。

【0016】

【発明の効果】この発明によれば、トレンチ構造の電圧
駆動型素子で、全領域においてpn接合を含まない構造
にし、半導体基板に炭化ケイ素などバンドギャップが
1.5eV以上の半導体材料を用いることで、静的耐圧
より高い耐圧をほぼ無限の時間維持することができる電
力用半導体素子を得ることができる。

【図面の簡単な説明】

【図1】この発明の一実施例の素子の要部断面構造図

【図2】バンドギャップと耐圧保持時間の関係図

【図3】空乏層の拡がりを計算した図

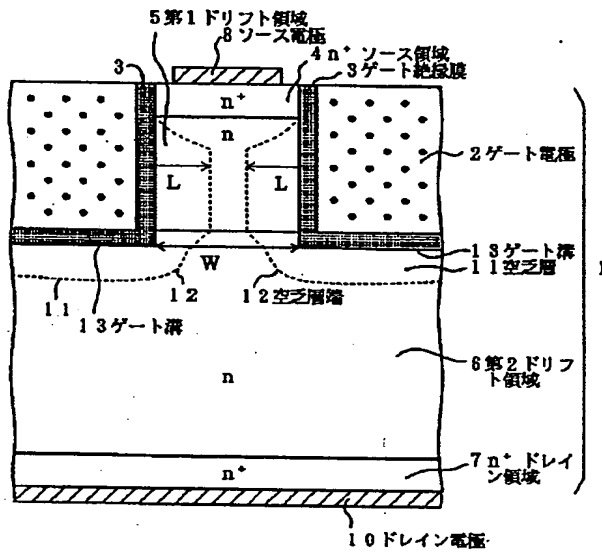
【図4】従来素子の断面構造図

【符号の説明】

- 1 半導体基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 n⁺ソース領域

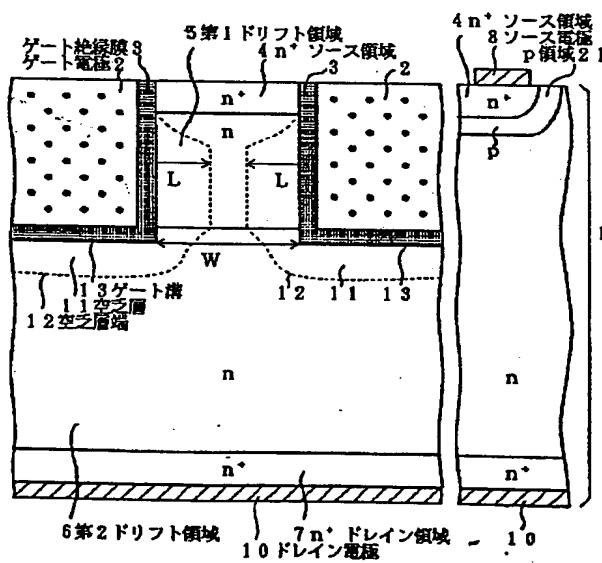
- 5 第1ドリフト領域
6 第2ドリフト領域
7 n^+ ドレイン領域
8 ソース電極
9 ゲート電極
10 ドレイン電極

【図1】



1・・・半導体基板

【図4】

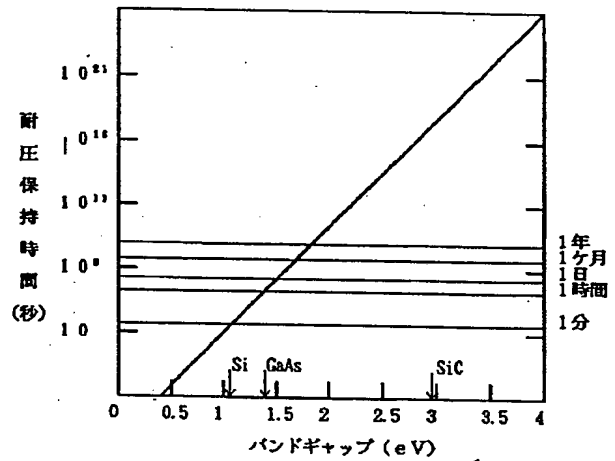


1・・・半導体基板

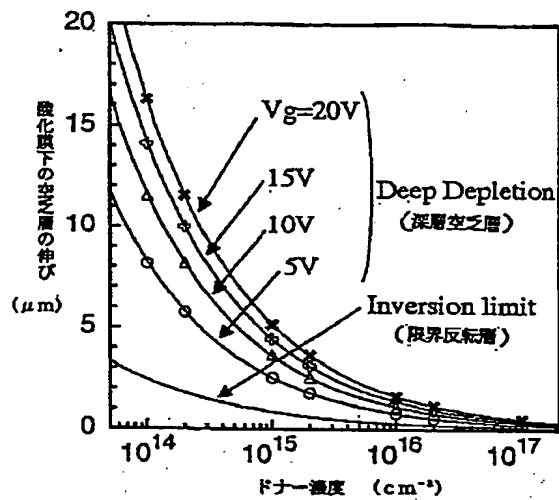
6

- 11 空乏層
12 空乏層端
13 ゲート溝
21 p領域
L 空乏層端の伸び
W 第1ドリフト領域の幅

【図2】



【図3】



$$\text{Deep Depletion: } W = \sqrt{\frac{2\epsilon_s V_{\text{surface}}}{qN_D}}$$

$$\text{Inversion Limit: } W_m = \sqrt{\frac{4\epsilon_s kT \ln(N_D/n_i)}{q^2 N_D}}$$

- W, W_m : 空乏層の伸び
 ϵ_s : 半導体の誘電率
 V_{surface} : 酸化膜と半導体基板の界面準位
 N_D : ドナー濃度
 n_i : 真性半導体のキャリア濃度
 q : 電子の電荷量の絶対値
 k : ボルツマン定数
 T : 絶対温度